

VIA HAND DELIVERY

PATENT

36856.636

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Yoshiyuki TONAMI and  
Mitsunori HATADA

Serial No.: Currently unknown

Filing Date: Concurrently herewith

**For: HIGH FREQUENCY CIRCUIT CHIP  
AND METHOD OF PRODUCING THE  
SAME**

J1040 U.S. PTO  
10/08/95

03/05/02

TRANSMITTAL OF PRIORITY DOCUMENTS

ASSISTANT COMMISSIONER FOR PATENTS  
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application No. 2001-060061 filed **March 5, 2001**, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: March 5, 2002

  
Attorneys for Applicant(s)

Joseph R. Keating  
Registration No. 37,368

Christopher A. Bennett  
Registration No. 46,710

**KEATING & BENNETT LLP**  
10400 Eaton Place, Suite 312  
Fairfax, VA 22030  
Telephone: (703) 385-5200  
Facsimile: (703) 385-5080

*41 Priority  
P. Wall  
6-11-02*

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 3月 5日

出 願 番 号  
Application Number:

特願2001-060061

[ST.10/C]:

[JP2001-060061]

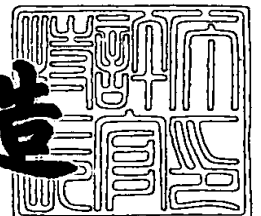
出 願 人  
Applicant(s):

株式会社村田製作所

2002年 2月 1日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3003746

【書類名】 特許願

【整理番号】 00604MR

【提出日】 平成13年 3月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01F 17/00

【発明者】

    【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

    【氏名】 戸波 與之

【発明者】

    【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

    【氏名】 畑田 充則

【特許出願人】

    【識別番号】 000006231

    【氏名又は名称】 株式会社村田製作所

【代理人】

    【識別番号】 100092071

    【弁理士】

    【氏名又は名称】 西澤 均

【手数料の表示】

    【予納台帳番号】 043993

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9004889

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高周波用回路チップ及びその製造方法

【特許請求の範囲】

【請求項1】

高誘電率セラミックを主成分とする基板と、基板の一方の主面に形成された配線パターンと、基板の他方の主面の略全面に形成された導電体層と、配線パターンと導電体層を導通させる導通用電極を有するスルーホールとを具備する高周波用回路チップの製造方法であって、

(a)基板の貫通孔に導電性ペーストを充填、焼成することにより、前記スルーホールの導通用電極を形成するとともに、

(b)基板上に所定形状の開口部を有するレジストパターンを形成した後、該レジストパターン上から配線材料を薄膜形成し、レジストパターン上に堆積した不要な配線材料薄膜を、レジストパターンとともに除去することにより、基板上に配線パターンを形成するリフトオフ法により、前記配線パターンを形成することを特徴とする高周波用回路チップの製造方法。

【請求項2】

導電性ペーストを塗布、焼成することにより前記導電体層を形成することを特徴とする請求項1記載の高周波用回路チップの製造方法。

【請求項3】

高誘電率セラミックを主成分とする基板と、基板の表裏の両主面に形成された配線パターンと、基板の表裏の両主面に形成された配線パターンを互いに導通させる導通用電極を有するスルーホールとを具備する高周波用回路チップの製造方法であって、

(a)基板の貫通孔に導電性ペーストを充填、焼成することにより、前記スルーホールの導通用電極を形成するとともに、

(b)基板上に所定形状の開口部を有するレジストパターンを形成した後、該レジストパターン上から配線材料を薄膜形成し、レジストパターン上に堆積した不要な配線材料薄膜を、レジストパターンとともに除去することにより、基板上に配線パターンを形成するリフトオフ法により、前記配線パターンを形成すること

を特徴とする高周波用回路チップの製造方法。

【請求項 4】

基板上の前記配線パターンを覆うように保護膜を形成した後、基板を所定の切断線に沿って切断することにより、高周波用回路チップを得ることを特徴とする請求項 1～3 のいずれかに記載の高周波用回路チップの製造方法。

【請求項 5】

前記配線パターンに接続される薄膜抵抗パターンを形成する工程を具備することを特徴とする請求項 1～4 のいずれかに記載の高周波用回路チップの製造方法。

【請求項 6】

導通用電極を有するスルーホールが形成された焼成後の基板の、少なくとも配線パターンが形成される面を鏡面研磨した後、該鏡面研磨を施した面に、リフトオフ法により配線パターンを形成することを特徴とする請求項 1～5 のいずれかに記載の高周波用回路チップの製造方法。

【請求項 7】

前記基板の比誘電率が 10 以上であることを特徴とする請求項 1～6 のいずれかに記載の高周波用回路チップの製造方法。

【請求項 8】

(a) 基板の少なくとも一方の主面に形成された配線パターン及び他方の主面の略全面に形成された導電体層、又は、

(b) 基板の表裏の両主面に形成された配線パターン  
として、Ag、Cu、Al からなる群より選ばれる少なくとも 1 種を主成分とし、かつ、厚みが 2  $\mu$ m 以上の導体パターンを形成すること

を特徴とする請求項 1～7 のいずれかに記載の高周波用回路チップの製造方法。

【請求項 9】

Ag、Cu、Al からなる群より選ばれる少なくとも 1 種を主成分とする導電性ペーストを用いて、前記スルーホールの導通用電極を形成することを特徴とする請求項 1～8 のいずれかに記載の高周波用回路チップの製造方法。

【請求項 1 0】

請求項 1, 2, 4 ~ 9 記載の方法により製造され、  
高誘電率セラミックを主成分とする基板と、  
前記基板の一方の主面に、リフトオフ法により形成された配線パターンと、  
前記基板の他方の主面の略全面に形成された導電体層と、  
前記基板に形成された、前記配線パターンと前記導電体層を導通させる導通用電極を備えたスルーホールと  
を具備することを特徴とする高周波用回路チップ。

【請求項 1 1】

請求項 3 ~ 9 記載の方法により製造され、  
高誘電率セラミックを主成分とする基板と、  
前記基板の表裏の両主面に、リフトオフ法により形成された配線パターンと、  
前記基板に形成され、前記両主面の配線パターンを互いに導通させる導通用電極を備えたスルーホールと  
を具備することを特徴とする高周波用回路チップ。

【請求項 1 2】

前記基板の、少なくとも配線パターンが形成されている面が鏡面研磨されていることを特徴とする請求項 1 0 又は 1 1 記載の高周波用回路チップ。

【請求項 1 3】

前記基板の比誘電率が 1 0 以上であることを特徴とする請求項 1 0 ~ 1 2 のいずれかに記載の高周波用回路チップ。

【請求項 1 4】

(a) 基板の少なくとも一方の主面に形成された配線パターン及び他方の主面の略全面に形成された導電体層、又は、

(b) 基板の表裏の両主面に形成された配線パターンが  
A g、C u、A l からなる群より選ばれる少なくとも 1 種を主成分とし、かつ、  
厚みが 2  $\mu$ m 以上であること

を特徴とする請求項 1 0 ~ 1 3 のいずれかに記載の高周波用回路チップ。

【請求項 1 5】

前記スルーホールの導通用電極が、A g、C u、A l からなる群より選ばれる少なくとも1種を主成分とするものであることを特徴とする請求項10～14のいずれかに記載の高周波用回路チップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は、回路チップに関し、詳しくは、マイクロ波・ミリ波領域で動作するマルチチップモジュール(MCM)などに用いる高周波用回路チップ及びその製造方法に関する。

【0002】

【従来の技術】

マイクロ波・ミリ波領域で動作するマルチチップモジュール(MCM)などに用いられる高周波用回路チップとしては、例えば、図6に示すような高周波用回路チップ(受動回路チップ)が用いられている。

【0003】

この高周波用回路チップは、基板51の上面(表面)に配設された配線パターン(分布定数線路(マイクロストリップライン))52と、ミアンダインダクタ53、インターディジタルキャパシタ54、及び薄膜抵抗55などの集中定数素子と、基板51の下面(裏面)の略全面に配設された裏面電極(導電体層)56と、基板51の表面に配設された配線パターン52と裏面に配設された裏面電極(導電体層)56を接続するスルーホール57を備えている。

【0004】

ところで、従来の高周波用回路チップにおいては、配線パターン52や、ミアンダインダクタ53、インターディジタルキャパシタ54などに用いられる導体パターンとしては、通常、A gペーストやC uペーストなどの導電性ペーストを印刷、焼成する方法、あるいは、A uめっき膜(約2～5 $\mu$ m)などをウェットエッチングする方法によって形成されている。なお、従来、配線パターンの最小線幅は、印刷法の場合で約100 $\mu$ m、エッチング法の場合で約20 $\mu$ m程度とされている。

## 【0005】

また、上記従来の高周波用回路チップにおいては、基板51として、通常、テフロン基板 ( $\epsilon_r$ : 2~3) やアルミナ基板 ( $\epsilon_r$ : 約10) が用いられている。高周波用回路チップの小型化には、チタン酸バリウムなどを主原料とするマイクロ波用高誘電率セラミック基板を用いることが有効であるが、配線パターンの微細化の限界や寸法精度、形状精度などの点から、上述のようなテフロン基板やアルミナ基板が用いられている。

## 【0006】

また、上記従来の高周波用回路チップにおいて、レーザー加工などの方法によって基板に貫通孔を形成した後、スパッタ法や真空蒸着法などの方法により、図7に示すように、貫通孔58の内周壁に電極膜59を形成することにより、表裏の導通を得るようにした貫通スルーホール57aが用いられる場合と、めっきや導電性ペーストの充填によって、図8に示すように、貫通孔58に充填電極60を埋め込んだ充填スルーホール57bが用いられる場合がある。

## 【0007】

## 【発明が解決しようとする課題】

ところで、上記従来の高周波用回路チップにおいては、通常、印刷法又はエッチング法により配線パターンが形成されており、微細化限界が、上述のように、印刷法では線幅約100  $\mu\text{m}$ 、エッチング法では線幅約20  $\mu\text{m}$ 程度であり、近年の電子機器の小型化にともなって、配線パターンのさらなる微細化が要求されるようになっているのが実情である。

## 【0008】

そして、さらなる配線の微細化を可能ならしめる方法としては、反応性イオンエッチング (RIE) 法やイオンミリング法などの手法がある。しかし、これらの反応性イオンエッチング (RIE) 法やイオンミリング法に用いられる装置は、高価なうえ、基板に化学的なダメージを与え、電気的特性を劣化させる原因になるという問題点がある。

## 【0009】

また、スルーホールが貫通スルーホール57a (図7) である場合には、レジ



ストを均一に塗布することができないため、微細な配線パターンを形成しにくいという問題点がある。

【0010】

さらに、スルーホールが充填スルーホール57b（図8）である場合には、充填電極60が充填された部分が基板51の主面に対して凹凸しているため、レジストを均一に塗布しにくく、微細な配線パターンを形成することが困難であるという問題点がある。

【0011】

さらに、配線パターン52や、スルーホールの電極膜59又は充填電極60としては、低抵抗のAuが一般的に用いられているが、コストが高く、製品のコストを押し上げる要因になるという問題点がある。

【0012】

本願発明は、上記問題点を解決するものであり、小型で、微細、高精度の配線パターンを備えた低コストの高周波用回路チップ及び該高周波用回路チップを効率よく製造することが可能な高周波用回路チップの製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記目的を達成するために、本願発明（請求項1）の高周波用回路チップの製造方法は、

高誘電率セラミックを主成分とする基板と、基板の一方の主面に形成された配線パターンと、基板の他方の主面の略全面に形成された導電体層と、配線パターンと導電体層を導通させる導通用電極を有するスルーホールとを具備する高周波用回路チップの製造方法であって、

（a）基板の貫通孔に導電性ペーストを充填、焼成することにより、前記スルーホールの導通用電極を形成するとともに、

（b）基板上に所定形状の開口部を有するレジストパターンを形成した後、該レジストパターン上から配線材料を薄膜形成し、レジストパターン上に堆積した不要な配線材料薄膜を、レジストパターンとともに除去することにより、基板上に

配線パターンを形成するリフトオフ法により、前記配線パターンを形成することを特徴としている。

【 0 0 1 4 】

高誘電率セラミックを主成分とする基板と、基板の一方の主面に形成された配線パターンと、他方の主面の略全面に形成された導電体層と、配線パターンと導電体層を導通させるためのスルーホールを備えた高周波用回路チップを製造するにあたって、スルーホールの導通用電極を、貫通孔に導電性ペーストを充填、焼成して形成することにより、導通用電極を備えたスルーホールを効率よく形成することが可能になるとともに、配線パターンを、リフトオフ法により形成することにより、微細で、高精度の配線パターンを確実に形成することが可能になり、コストの増大を抑制しつつ、高周波用回路チップの小型化を実現することが可能なる。

【 0 0 1 5 】

なお、具体的には、

- (1)高誘電率セラミックを主成分とする基板に、表裏を貫通する孔（スルーホール）を形成する工程、
- (2)スルーホール内に導電性ペーストを充填する工程、
- (3)スルーホール内に導電性ペーストが充填された基板を焼成する工程、
- (4)焼成された基板の一方の主面の略全面に導電体層を形成する工程、
- (5)基板の他方の主面に、リフトオフ法により回路パターンを形成する工程、
- (6)基板を所定の切断線に沿って切断することにより、高周波用回路チップを得る工程

の各工程を順に実施することにより、本願発明（請求項1）の高周波用回路チップの製造方法を実施することができる。なお、本願発明の具体的な実施の態様は上記の例に限定されるものではなく、工程の順序などに関し、種々の応用を加えることが可能である。

【 0 0 1 6 】

また、請求項2の高周波用回路チップの製造方法は、導電性ペーストを塗布、焼成することにより前記導電体層を形成することを特徴としている。

【 0 0 1 7 】

導電体層を、導電性ペーストを塗布、焼成することにより形成するようにした場合、導電体層を薄膜電極とする場合に比べて、大がかりな設備を必要としたりすることなく、基板の他方の主面に効率よく導電体層を形成することが可能になる。

【 0 0 1 8 】

また、本願発明（請求項 3）の高周波用回路チップの製造方法は、

高誘電率セラミックを主成分とする基板と、基板の表裏の両主面に形成された配線パターンと、基板の表裏の両主面に形成された配線パターンを互いに導通させる導通用電極を有するスルーホールとを具備する高周波用回路チップの製造方法であって、

（a）基板の貫通孔に導電性ペーストを充填、焼成することにより、前記スルーホールの導通用電極を形成するとともに、

（b）基板上に所定形状の開口部を有するレジストパターンを形成した後、該レジストパターン上から配線材料を薄膜形成し、レジストパターン上に堆積した不要な配線材料薄膜を、レジストパターンとともに除去することにより、基板上に配線パターンを形成するリフトオフ法により、前記配線パターンを形成することを特徴としている。

【 0 0 1 9 】

スルーホールの導通用電極を、貫通孔に導電性ペーストを充填、焼成して形成することにより、導通用電極を備えたスルーホールを効率よく形成することが可能になるとともに、配線パターンを、リフトオフ法にて形成することにより、微細で、高精度の配線パターンを確実に形成することが可能になり、コストの増大を抑制しつつ、高周波用回路チップの小型化を実現することが可能なる。また、高周波用回路を基板の両面に形成するようにしているので、回路の集積度をさらに向上させて、製品のより一層の小型化を図ることが可能になる。

【 0 0 2 0 】

なお、具体的には、

（1）高誘電率セラミックを主成分とする基板に、表裏を貫通する孔（スルーホ

ール)を形成する工程、

(2)スルーホール内に導電性ペーストを充填する工程、

(3)スルーホール内に導電性ペーストが充填された基板を焼成する工程、

(4)焼成された基板の一方の主面に、リフトオフ法により回路パターンを形成する工程、

(5)基板の他方の主面に、リフトオフ法により回路パターンを形成する工程、

(6)基板を所定の切断線に沿って切断することにより、高周波用回路チップを得る工程

の各工程を順に実施することにより、本願発明(請求項3)の高周波用回路チップの製造方法を実施することができる。なお、本願発明の具体的な実施の態様は上記の例に限定されるものではなく、工程の順序などに関し、種々の応用を加えることが可能である。

【0021】

また、請求項4の高周波用回路チップの製造方法は、基板上の前記配線パターンを覆うように保護膜を形成した後、基板を所定の切断線に沿って切断することにより、高周波用回路チップを得ることを特徴としている。

【0022】

配線パターンを保護する保護膜を形成した後、基板を切断することにより、基板を切断する工程や、その後の製品の使用段階で、配線パターンが損傷することを防止して、安価な配線材料を用いた場合にも、信頼性の高い高周波用回路チップを得ることが可能になる。

【0023】

また、請求項5の高周波用回路チップの製造方法は、前記配線パターンに接続される薄膜抵抗パターンを形成する工程を具備することを特徴としている。

【0024】

配線パターンに接続される薄膜抵抗パターンを形成する工程を備えた構成とすることにより、受動素子である抵抗を備えた高周波用回路チップを効率よく製造することが可能になる。なお、薄膜抵抗パターンは、配線パターンより先に形成してもよく、また、場合によっては、配線パターンの後で形成してもよい。

【0025】

また、請求項6の高周波用回路チップの製造方法は、導通用電極を有するスルーホールが形成された焼成後の基板の、少なくとも配線パターンが形成される面を鏡面研磨した後、該鏡面研磨を施した面に、リフトオフ法により配線パターンを形成することを特徴としている。

【0026】

導通用電極を有するスルーホールが形成された基板の、少なくとも配線パターンを形成すべき面を鏡面研磨した後、該鏡面研磨を施した面に、リフトオフ法により配線パターンを形成するようにした場合、平滑性の高い基板表面に、均一にレジストを塗布することが可能になり、高精度のレジストパターンを確実に形成することができるため、微細で、寸法精度や形状精度に優れた配線パターンを効率よく形成することが可能になり、配線の高密度化を図ることが可能になる。

【0027】

また、請求項7の高周波用回路チップの製造方法は、前記基板の比誘電率が10以上であることを特徴としている。

【0028】

比誘電率が10以上の基板を用いることにより、高周波用回路がコンデンサを備えている場合の取得静電容量を大きくして、製品の小型化を図ることが可能になる。

【0029】

また、請求項8の高周波用回路チップの製造方法は、

(a)基板の少なくとも一方の主面に形成された配線パターン及び他方の主面の略全面に形成された導電体層、又は、

(b)基板の表裏の両主面に形成された配線パターン

として、Ag、Cu、Alからなる群より選ばれる少なくとも1種を主成分とし、かつ、厚みが2 $\mu$ m以上の導体パターンを形成することを特徴としている。

【0030】

(a)基板の少なくとも一方の主面に形成された配線パターン及び他方の主面の

略全面に形成された導電体層、又は、(b)基板の表裏の両主面に形成された配線パターンとして、A g、C u、A lからなる群より選ばれる少なくとも1種を主成分とし、かつ、厚みが2  $\mu$ m以上の導体パターンを形成することにより、配線抵抗が小さく、低損失で、しかも経済性に優れた高周波用回路チップを得ることが可能になる。

## 【0031】

また、請求項9の高周波用回路チップの製造方法は、A g、C u、A lからなる群より選ばれる少なくとも1種を主成分とする導電性ペーストを用いて、前記スルーホールの導通用電極を形成することを特徴としている。

## 【0032】

A g、C u、A lからなる群より選ばれる少なくとも1種を主成分とする導電性ペーストを用いてスルーホールを導通用電極を形成することにより、導通信頼性の高いスルーホールを備えた高周波用回路チップを、コストの増大を抑制しつつ、効率よく製造することが可能になる。

## 【0033】

また、本願発明（請求項10）の高周波用回路チップは、  
請求項1，2，4～9記載の方法により製造され、  
高誘電率セラミックを主成分とする基板と、  
前記基板の一方の主面に、リフトオフ法により形成された配線パターンと、  
前記基板の他方の主面の略全面に形成された導電体層と、  
前記基板に形成された、前記配線パターンと前記導電体層を導通させる導通用電極を備えたスルーホールと  
を具備することを特徴としている。

## 【0034】

本願発明（請求項10）の高周波用回路チップは、請求項1，2，4～9記載の方法により製造されており、リフトオフ法により形成された、微細で、高精度の配線パターンを備えているので、配線の高密度化を実現して、小型で、信頼性の高い高周波用回路チップを提供することができる。

## 【0035】

また、本願発明（請求項 1 1）の高周波用回路チップは、  
請求項 3 ～ 9 記載の方法により製造され、  
高誘電率セラミックを主成分とする基板と、  
前記基板の表裏の両主面に、リフトオフ法により形成された配線パターンと、  
前記基板に形成され、前記両主面の配線パターンを互いに導通させる導通用電  
極を備えたスルーホールと  
を具備することを特徴としている。

## 【 0 0 3 6 】

本願発明（請求項 1 1）の高周波用回路チップは、請求項 3 ～ 9 記載の方法に  
より製造されており、リフトオフ法により形成された、微細で、高精度の配線パ  
ターンを備えているので、配線の高密度化を実現して、小型で、信頼性の高い高  
周波用回路チップを提供することができる。また、高周波用回路を基板の両面に  
形成するようにしているので、回路の集積度をさらに向上させて、製品のより一  
層の小型化を図ることが可能になる。

## 【 0 0 3 7 】

また、請求項 1 2 の高周波用回路チップは、前記基板の、少なくとも配線パタ  
ーンが形成されている面が鏡面研磨されていることを特徴としている。

## 【 0 0 3 8 】

基板の、配線パターンが形成されている面が鏡面研磨されており、配線パター  
ンが平滑性に優れた面に、精度よく高密度に形成されているので、より一層の配  
線の微細化、製品の小型化を図ることが可能になる。

## 【 0 0 3 9 】

また、請求項 1 3 の高周波用回路チップは、前記基板の比誘電率が 1 0 以上で  
あることを特徴としている。

## 【 0 0 4 0 】

比誘電率が 1 0 以上の基板が用いられているので、高周波用回路がコンデンサ  
を備えている場合における取得静電容量が大きく、製品の小型化を図ることが可  
能になる。

## 【 0 0 4 1 】

また、請求項 1 4 の高周波用回路チップは、

(a) 基板の少なくとも一方の主面に形成された配線パターン及び他方の主面の略全面に形成された導電体層、又は、

(b) 基板の表裏の両主面に形成された配線パターンが  
A g、C u、A l からなる群より選ばれる少なくとも 1 種を主成分とし、かつ、  
厚みが 2  $\mu$ m 以上であること

を特徴としている。

【 0 0 4 2 】

(a) 配線パターン及び導電体層、又は、(b) 配線パターンが、A g、C u、A l からなる群より選ばれる少なくとも 1 種を主成分とし、かつ、厚みが 2  $\mu$ m 以上であるようにした場合、配線抵抗が小さく、低損失で、しかも経済性に優れた高周波用回路チップを得ることが可能になる。

【 0 0 4 3 】

また、請求項 1 5 の高周波用回路チップは、前記スルーホールの導通用電極が、A g、C u、A l からなる群より選ばれる少なくとも 1 種を主成分とするものであることを特徴としている。

【 0 0 4 4 】

スルーホールの導通用電極が、A g、C u、A l からなる群より選ばれる少なくとも 1 種を主成分とするものとした場合、低コストで、導通信頼性の高いスルーホールを備えた高周波用回路チップを提供することができるようになる。

【 0 0 4 5 】

【発明の実施の形態】

以下、本願発明の実施の形態を示して、本願発明の特徴とするところをさらに詳しく説明する。

【 0 0 4 6 】

〔実施形態 1〕

図 1 の高周波用回路チップは、本願発明の一実施形態にかかる高周波用回路チップであり、基板 1 の上面（表面）に配設された配線パターン（分布定数線路（マイクロストリップライン））2 と、ミアンダインダクタ 3、インターディジタ



ルキャパシタ 4、及び薄膜抵抗 5 などからなる集中定数素子と、基板 1 の下面（裏面）の略全面に配設された裏面電極（導電体層） 6 と、基板 1 の表裏に配設された配線パターン 2 と裏面電極（導電体層） 6 を接続するスルーホール 7 とを備えた構造を有している。

#### 【 0 0 4 7 】

以下、この実施形態 1 の高周波用回路チップの製造方法について説明する。

(1) まず、チタン酸バリウムなどを原料とするマイクロ波用の高誘電率 ( $\epsilon_r > 10$ ) を有するセラミックからなる基板 1 (図 2(a)) に、レーザーなどを用いて、スルーホール用の貫通孔 11 (図 2(b)) を形成する。

なお、基板 1 を焼成する前に貫通孔 11 を形成し、その後に基板 1 を焼成するようにしてもよく、また、焼成後の基板 1 に貫通孔 11 を形成するようにしてもよい。

(2) 次に、図 2(c) に示すように、Ag を主成分とする導電性ペースト 12 を印刷して、貫通孔 11 に充填した後、800℃程度の温度で焼成して、導通用電極 7a を備えたスルーホール 7 を形成する。

(3) それから、基板 1 の表裏の両主面を鏡面研磨し、平坦にする (図 2(d))

(4) 次に、基板 1 の裏面（下面）の全面に、Ag を主成分とする導電性ペースト 13 (導通用電極 7a を形成するために用いた導電性ペースト 12 と同じもの) を塗布し、800℃程度の温度で焼成することにより、基板 1 の裏面（下面）の全面に導電体層 6 を形成する (図 2(e))。

(5) それから、図 3(a) に示すように、基板 1 の表面（上面）に、窒化タンタルなどの薄膜抵抗 5 をスパッタリング法により成膜し、フォトリソグラフィ法 + エッチング法などの方法により、所望のパターンを有する薄膜抵抗パターン 5 を形成する。

(6) 次に、図 3(b) に示すように、配線を形成すべき部分（配線形成部）が開口するように、フォトリソグラフィ法により、端部がオーバーハング形状のリフトオフ用のレジスト（レジストパターン） 14 を形成する。

(7) そして、図 3(c) に示すように、真空蒸着により、配線パターン 2 (図 1

）を構成する複数の電極層、この実施形態 1 では、NiCr 膜（膜厚  $0.04\mu\text{m}$ ）15a、Cu 膜（膜厚  $5\mu\text{m}$ ）15b、Pd 膜（膜厚  $0.15\mu\text{m}$ ）15c、Au 膜（膜厚  $0.3\mu\text{m}$ ）15d を順次成膜し、複数層構造の金属膜（配線材料薄膜）15 を形成する。

このとき、蒸着粒子が、基板 1 にほぼ垂直に衝突するようにして、基板 1 上に堆積した配線パターン（金属膜）2 と、レジスト 14 上に堆積した金属膜 15 がつながらないようにする。

なお、この実施形態 1 では、NiCr 膜 15a は基板 1 との密着層、Cu 膜 15b は主導体層、Au 膜 15d はワイヤボンディング層、Pd 膜 15c は Au 膜 15d の Au と Cu 膜 15b の Cu の相互拡散を抑えるバフファ層として機能するように構成されている。

(8) それから、図 3(d) に示すように、基板 1 を、アセトンなどの有機溶剤中に浸漬し、レジスト 14 及びレジスト 14 上に堆積した金属膜 15 をリフトオフ除去する。これにより、基板 1 上には、配線パターン 2 が形成されるべき領域にのみ、金属膜 15（すなわち、配線パターン 2）が堆積することになる。

(9) その後、基板 1 を、Cu の防錆処理剤（例えば、北池産業製 BT-8）に浸漬、乾燥し、配線パターン 2 の側面に露出した Cu 表面をキレート化合物化して、Cu の酸化を抑制するための処理を施す。なお、Cu 表面を保護する方法としては、他にも、フッ素系コーティング材によりコーティング膜を形成する方法などを適用することも可能である。

(10) それから、ダイサーなどにより、基板 1 を所定の切断線に沿って切断することにより、不要部分を除去したり（図 3(e)）、個々の高周波用回路チップ（受動回路チップ）に分割したりすることにより、図 1 に示すように、高誘電率セラミックを主成分とする基板 1 の一方の主面に、リフトオフ法により形成された配線パターン 2 と、基板 1 の他方の主面の略全面に、導電性ペースト 13 を塗布、焼成することにより形成された導電体層 6 と、配線パターン 2 と導電体層 6 を導通させる、導通用電極 7a を備えたスルーホール 7 を有する高周波用回路チップが得られる。

【0048】

なお、基板 1 を切断する前に、基板 1 の表面に配線パターン 2 を保護するための保護膜を形成する工程を付加することにより、配線パターン 2 を保護することが可能になり、安価な配線材料を用いて、信頼性の高い高周波用回路チップを製造することが可能になる。

## 【0049】

この実施形態 1 の高周波用回路チップの製造方法においては、以下のような作用効果が奏される。

## 【0050】

(a) スルーホールに導電性ペーストを充填して焼成した後、基板を鏡面研磨するようにしているので、平坦な基板の表面に均一にレジストを塗布することが可能になり、微細なレジストパターンを容易に形成することができるようになる。

## 【0051】

(b) リフトオフ法で配線パターンを形成するようにしているので、従来のウェットエッチングを行う場合に見られるようなサイドエッチングが発生しないため、膜厚の比較的大きな ( $2 \sim 5 \mu\text{m}$ ) の配線パターンを、より微細 (線幅:  $5 \mu\text{m}$ 、精度  $\pm 1 \mu\text{m}$  程度) に形成することが可能になる。

## 【0052】

(c) 基板がエッチング液やガス、プラズマにさらされないので、基板がダメージを受けることを防止して、特性の良好な高周波用回路チップを製造することが可能になる。

## 【0053】

(d) 線幅精度の必要のない充填スルーホールや基板の裏面側の導電体層を Ag ペーストを用いて形成するとともに、複数層構造の配線パターンを構成する主導体として Cu を用いているので、低損失で安価な高周波用回路チップを得ることができる。

## 【0054】

## 〔実施形態 2〕

実施形態 2 では、図 5 (e) に示すように、基板 1 の裏面 (下面) 側にも、基板 1 の表面 (上面) 側と同様に、配線パターン 2、薄膜抵抗パターン 5 などからな

る高周波用回路が配設された構造を有する高周波用回路チップを製造する場合について説明する。なお、この実施形態2の高周波用回路チップは、基板1の裏面（下面）側にも、基板1の表面（上面）側と同様に高周波用回路が配設された点を除いて、上記実施形態1の高周波用回路チップと同様の構成を有していることから、重複を避けるため、ここではその説明を省略する。

#### 【0055】

以下、この実施形態2の高周波用回路チップの製造方法について説明する。

(1)まず、チタン酸バリウムなどを原料とするマイクロ波用の高誘電率（ $\epsilon_r > 10$ ）を有するセラミックからなる基板1（図4(a)）に、レーザーなどを用いて、スルーホール用の貫通孔11（図4(b)）を形成する。

なお、基板1を焼成する前に貫通孔11を形成し、その後に基板1を焼成するようにしてもよく、また、焼成後の基板1に貫通孔11を形成するようにしてもよい。

(2)次に、図4(c)に示すように、Agを主成分とする導電性ペースト12を印刷して、貫通孔11に充填した後、800℃程度の温度で焼成して、導通用電極7aを備えたスルーホール7を形成する。

(3)それから、基板1の表裏の両主面を鏡面研磨し、平坦にする（図4(d)）。

(4)次いで、図4(e)に示すように、基板1の表面（上面）に、窒化タンタルなどの薄膜抵抗5をスパッタリング法により成膜し、フォトリソグラフィ法+エッチング法などの方法により、所望のパターンを有する薄膜抵抗パターン5を形成する。

(5)次に、図5(a)に示すように、配線を形成すべき部分（配線形成部）が開口するように、フォトリソグラフィ法により、端部がオーバーハング形状のリフトオフ用のレジスト（レジストパターン）14を形成する。

(6)そして、図5(b)に示すように、真空蒸着により、配線パターン2（図1）を構成する複数の電極層、この実施形態2では、NiCr膜（膜厚0.04 $\mu\text{m}$ ）、Cu膜（膜厚5 $\mu\text{m}$ ）、Pd膜（膜厚0.15 $\mu\text{m}$ ）、Au膜（膜厚0.3 $\mu\text{m}$ ）を順次成膜し（図3(c)参照）、複数層構造の金属膜（配線材料薄膜）1

5を形成する。

このとき、蒸着粒子が、基板1にほぼ垂直に衝突するようにして、基板1上に堆積した配線パターン（金属膜）2と、レジスト14上に堆積した金属膜15がつながないようにする。

なお、この実施形態2では、NiCr膜は基板1との密着層、Cu膜は主導体層、Au膜はワイヤボンディング層、Pd膜はAu膜のAuとCu膜のCuの相互拡散を抑えるバッファ層として機能するように構成されている。

(7)それから、図5(c)に示すように、基板1を、アセトンなどの有機溶剤中に浸漬し、レジスト14及びレジスト14上に堆積した金属膜15をリフトオフ除去する。これにより、基板1上には、配線パターン2が形成されるべき領域にのみ、金属膜15（すなわち、配線パターン2）が堆積することになる。

(8)次いで、図5(d)に示すように、基板1の裏面側に対しても、上記(4)～(7)と同様の処理を行い、薄膜抵抗パターン5、配線パターン2を形成する。

(9)その後、基板1を、Cuの防錆処理剤（例えば、北池産業製 BT-8）に浸漬、乾燥し、配線パターン2の側面に露出したCu表面をキレート化合物化して、Cuの酸化を抑制するための処理を施す。なお、Cu表面を保護する方法としては、他にも、フッ素系コーティング材によりコーティング膜を形成する方法などを適用することも可能である。

(10)それから、ダイサーなどにより、基板1を所定の切断線に沿って切断することにより、不要部分を除去したり（図5(e)）、個々の高周波用回路チップ（受動回路チップ）に分割したりすることにより、高誘電率セラミックを主成分とする基板1の表裏の両主面に、リフトオフ法により形成された配線パターン2と、基板1の表裏の両主面の配線パターン2を互いに導通させる、導通用電極7aを備えたスルーホール7を有する高周波用回路チップが得られる。

#### 【0056】

なお、基板1を切断する前に、基板1の表面に配線パターン2を保護するための保護膜を形成する工程を付加することにより、配線パターン2を保護することが可能になり、安価な配線材料を用いて、信頼性の高い高周波用回路チップを製造することが可能になる。

## 【 0 0 5 7 】

上述のように、この実施形態 2 の高周波用回路チップの製造方法においては、上述の実施形態 1 の場合と同様の作用効果を得ることができるとともに、高周波用回路を基板 1 の両面に形成するようにしているので、回路の集積度をさらに向上させて、製品の小型化を図ることが可能になる。

## 【 0 0 5 8 】

なお、上記の実施形態 1，2 では、スルーホールとして、貫通孔に充填電極を埋め込んだ充填スルーホールを形成した場合について説明したが、本願発明においては、貫通孔の内周壁に電極膜を形成した貫通スルーホールを形成することも可能である。

## 【 0 0 5 9 】

なお、本願発明は、上記実施形態に限定されるものではなく、基板を構成する高誘電率セラミックの種類、高周波用回路を構成する配線パターンや薄膜抵抗、導電体膜の構成材料や具体的な配設態様、スルーホールの導通用電極の構成材料などに関し、発明の要旨の範囲内において、種々の応用、変形を加えることが可能である。

## 【 0 0 6 0 】

## 【発明の効果】

上述のように、本願発明（請求項 1）の高周波用回路チップの製造方法は、高誘電率セラミックを主成分とする基板と、基板の一方の主面に形成された配線パターンと、他方の主面の略全面に形成された導電体層と、配線パターンと導電体層を導通させるためのスルーホールを備えた高周波用回路チップを製造するにあたって、スルーホールの導通用電極を、貫通孔に導電性ペーストを充填、焼成して形成するようにしているので、導通用電極を備えたスルーホールを効率よく形成することが可能になるとともに、配線パターンを、リフトオフ法により形成するようにしているので、微細で、高精度の配線パターンを確実に形成することが可能になり、コストの増大を抑制しつつ、高周波用回路チップの小型化を実現することが可能なる。

## 【 0 0 6 1 】

また、請求項2の高周波用回路チップの製造方法のように、導電体層を、導電性ペーストを塗布、焼成することにより形成するようにした場合、導電体層を薄膜電極とする場合に比べて、大がかりな設備を必要としたりすることなく、基板の他方の主面に効率よく導電体層を形成することができるようになる。

## 【 0 0 6 2 】

また、本願発明（請求項3）の高周波用回路チップの製造方法は、スルーホールの導通用電極を、貫通孔に導電性ペーストを充填、焼成して形成するようにしているので、導通用電極を備えたスルーホールを効率よく形成することが可能になるとともに、配線パターンを、リフトオフ法により形成するようにしているので、微細で、高精度の配線パターンを確実に形成することが可能になり、コストの増大を抑制しつつ、高周波用回路チップの小型化を実現することが可能なる。また、高周波用回路を基板の両面に形成するようにしているので、回路の集積度をさらに向上させて、製品のより一層の小型化を図ることができる。

## 【 0 0 6 3 】

また、請求項4の高周波用回路チップの製造方法のように、配線パターンを保護する保護膜を形成した後、基板を切断するようにした場合、基板を切断する工程や、その後の製品の使用段階で、配線パターンが損傷することを防止して、安価な配線材料を用いた場合にも、信頼性の高い高周波用回路チップを得ることが可能になる。

## 【 0 0 6 4 】

また、請求項5の高周波用回路チップの製造方法のように、配線パターンに接続される薄膜抵抗パターンを形成する工程を備えた構成とした場合、受動素子である抵抗を備えた高周波用回路チップを効率よく製造することが可能になる。

## 【 0 0 6 5 】

また、請求項6の高周波用回路チップの製造方法のように、導通用電極を有するスルーホールが形成された基板の、少なくとも配線パターンを形成すべき面を鏡面研磨した後、該鏡面研磨を施した面に、リフトオフ法により配線パターンを形成するようにした場合、平滑性の高い基板表面に、均一にレジストを塗布することが可能になり、高精度のレジストパターンを確実に形成することができるた

め、微細で、寸法精度や形状精度に優れた配線パターンを効率よく形成することが可能になり、配線の高密度化を図ることが可能になる。

## 【 0 0 6 6 】

また、請求項 7 の高周波用回路チップの製造方法のように、比誘電率が 1 0 以上の基板を用いた場合、高周波用回路がコンデンサを備えている場合の取得静電容量を大きくして、製品の小型化を図ることが可能になる。

## 【 0 0 6 7 】

また、請求項 8 の高周波用回路チップの製造方法のように、(a)基板の少なくとも一方の主面に形成された配線パターン及び他方の主面の略全面に形成された導電体層、又は、(b)基板の表裏の両主面に形成された配線パターンとして、A g、C u、A l からなる群より選ばれる少なくとも 1 種を主成分とし、かつ、厚みが 2  $\mu$ m 以上の導体パターンを形成するようにした場合、配線抵抗が小さく、低損失で、しかも経済性に優れた高周波用回路チップを得ることができる。

## 【 0 0 6 8 】

また、請求項 9 の高周波用回路チップの製造方法のように、A g、C u、A l からなる群より選ばれる少なくとも 1 種を主成分とする導電性ペーストを用いてスルーホールの導通用電極を形成するようにした場合、導通信頼性の高いスルーホールを備えた高周波用回路チップを、コストの増大を抑制しつつ、効率よく製造することができるようになる。

## 【 0 0 6 9 】

また、本願発明（請求項 1 0）の高周波用回路チップは、請求項 1，2，4～9 記載の方法により製造されており、リフトオフ法により形成された、微細で、高精度の配線パターンを備えているので、配線の高密度化を実現して、小型で、信頼性の高い高周波用回路チップを提供することができる。

## 【 0 0 7 0 】

また、本願発明（請求項 1 1）の高周波用回路チップは、請求項 3～9 記載の方法により製造されており、リフトオフ法により形成された、微細で、高精度の配線パターンを備えているので、配線の高密度化を実現して、小型で、信頼性の高い高周波用回路チップを提供することができる。また、高周波用回路を基板の



両面に形成するようにしているので、回路の集積度をさらに向上させて、製品のより一層の小型化を図ることが可能になる。

【 0 0 7 1 】

また、請求項 1 2 の高周波用回路チップは、基板の、配線パターンが形成されている面が鏡面研磨されており、配線パターンが平滑性に優れた面に、精度よく高密度に形成されているので、より一層の配線の微細化、製品の小型化を図ることが可能になる。

【 0 0 7 2 】

また、請求項 1 3 の高周波用回路チップは、比誘電率が 1 0 以上の基板が用いられているので、高周波用回路がコンデンサを備えている場合における取得静電容量が大きく、製品の小型化を図ることができる。

【 0 0 7 3 】

また、請求項 1 4 の高周波用回路チップのように、(a)配線パターン及び導電体層、又は、(b)配線パターンが、A g、C u、A l からなる群より選ばれる少なくとも 1 種を主成分とし、かつ、厚みが  $2 \mu\text{m}$  以上であるようにした場合、配線抵抗が小さく、低損失で、しかも経済性に優れた高周波用回路チップを得ることが可能になる。

【 0 0 7 4 】

また、請求項 1 5 の高周波用回路チップのように、スルーホールの導通用電極が、A g、C u、A l からなる群より選ばれる少なくとも 1 種を主成分とするものとした場合、低コストで、導通信頼性の高いスルーホールを備えた高周波用回路チップを提供することができるようになる。

【図面の簡単な説明】

【図 1】

本願発明の一実施形態（実施形態 1）にかかる高周波用回路チップを模式的に示す斜視図である。

【図 2】

(a)～(e)は、本願発明の一実施形態（実施形態 1）にかかる高周波用回路チップの製造方法を示す図であり、図 1 の A - A' 線による断面図である。

【図 3】

(a)～(e)は、本願発明の一実施形態（実施形態 1）にかかる高周波用回路チップの製造方法を示す図であり、図 1 の A－A' 線による断面図である。

【図 4】

(a)～(e)は、本願発明の他の実施形態（実施形態 2）にかかる高周波用回路チップの製造方法を示す図である。

【図 5】

(a)～(e)は、本願発明の他の実施形態（実施形態 2）にかかる高周波用回路チップの製造方法を示す図である。

【図 6】

従来の高周波用回路チップを模式的に示す斜視図である。

【図 7】

従来の高周波用回路チップのスルーホールの構造の一例を示す図であり、図 6 の A－A' 線による断面図である。

【図 8】

従来の高周波用回路チップのスルーホールの構造の他の例を示す図であり、図 6 の A－A' 線による断面図である。

【符号の説明】

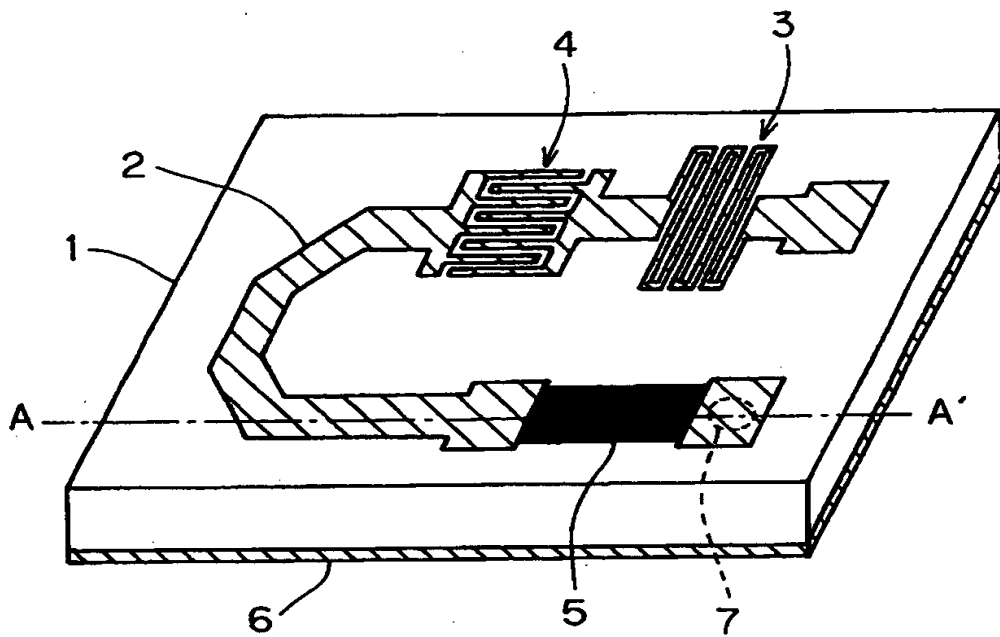
- |        |                |
|--------|----------------|
| 1      | 基板             |
| 2, 2 a | 配線パターン         |
| 3      | ミアンダイングクタ      |
| 4      | インターディジタルキャパシタ |
| 5      | 薄膜抵抗パターン       |
| 6      | 裏面電極（導電体層）     |
| 7      | スルーホール         |
| 7 a    | 導通用電極          |
| 1 1    | 貫通孔            |
| 1 2    | 導電性ペースト        |
| 1 3    | 導電性ペースト        |

- 1 4 レジスト (レジストパターン)
- 1 5 金属膜 (配線材料薄膜)
- 1 5 a N i C r 膜
- 1 5 b C u 膜
- 1 5 c P d 膜
- 1 5 d A u 膜

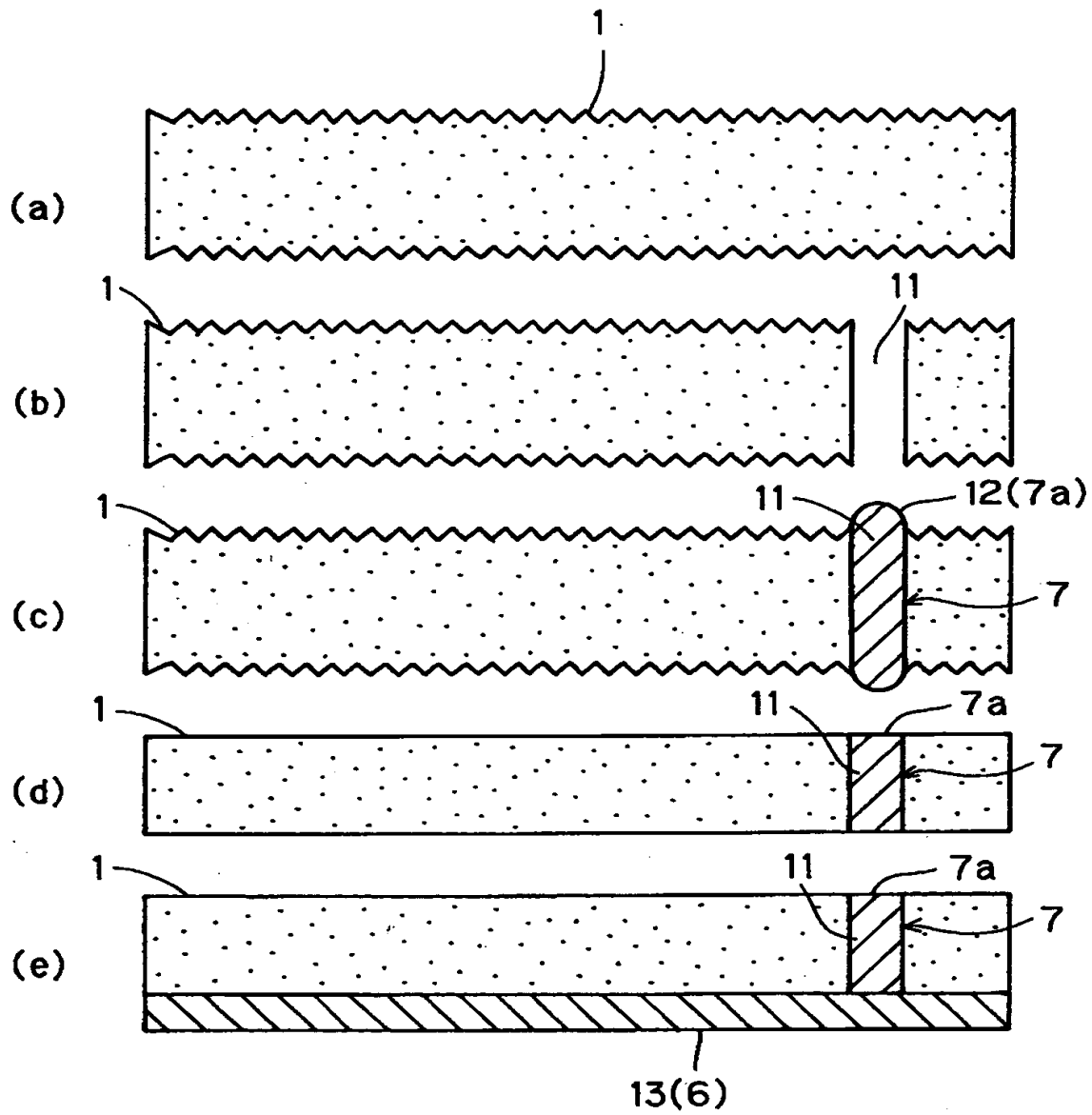
9

【書類名】 図面

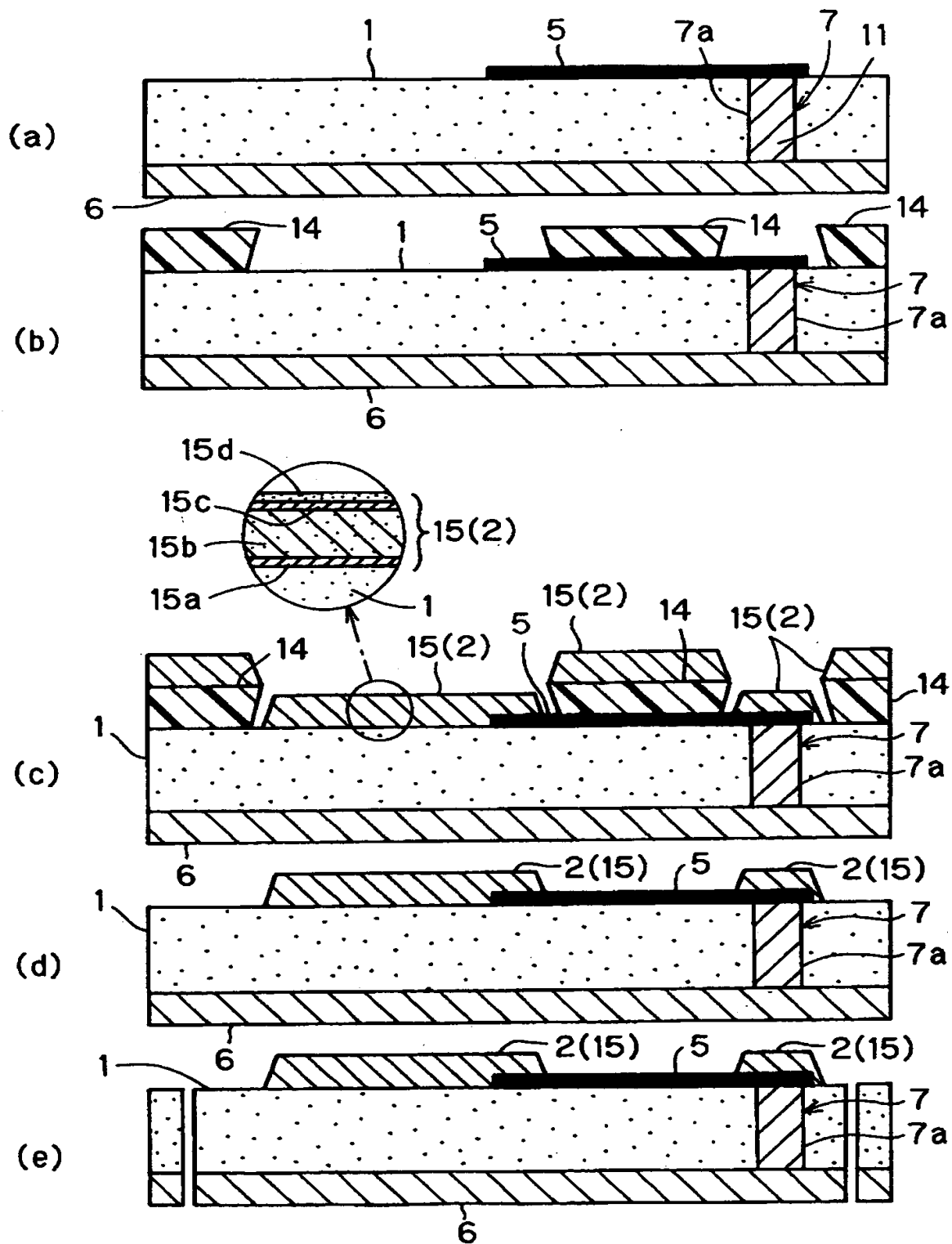
【図1】



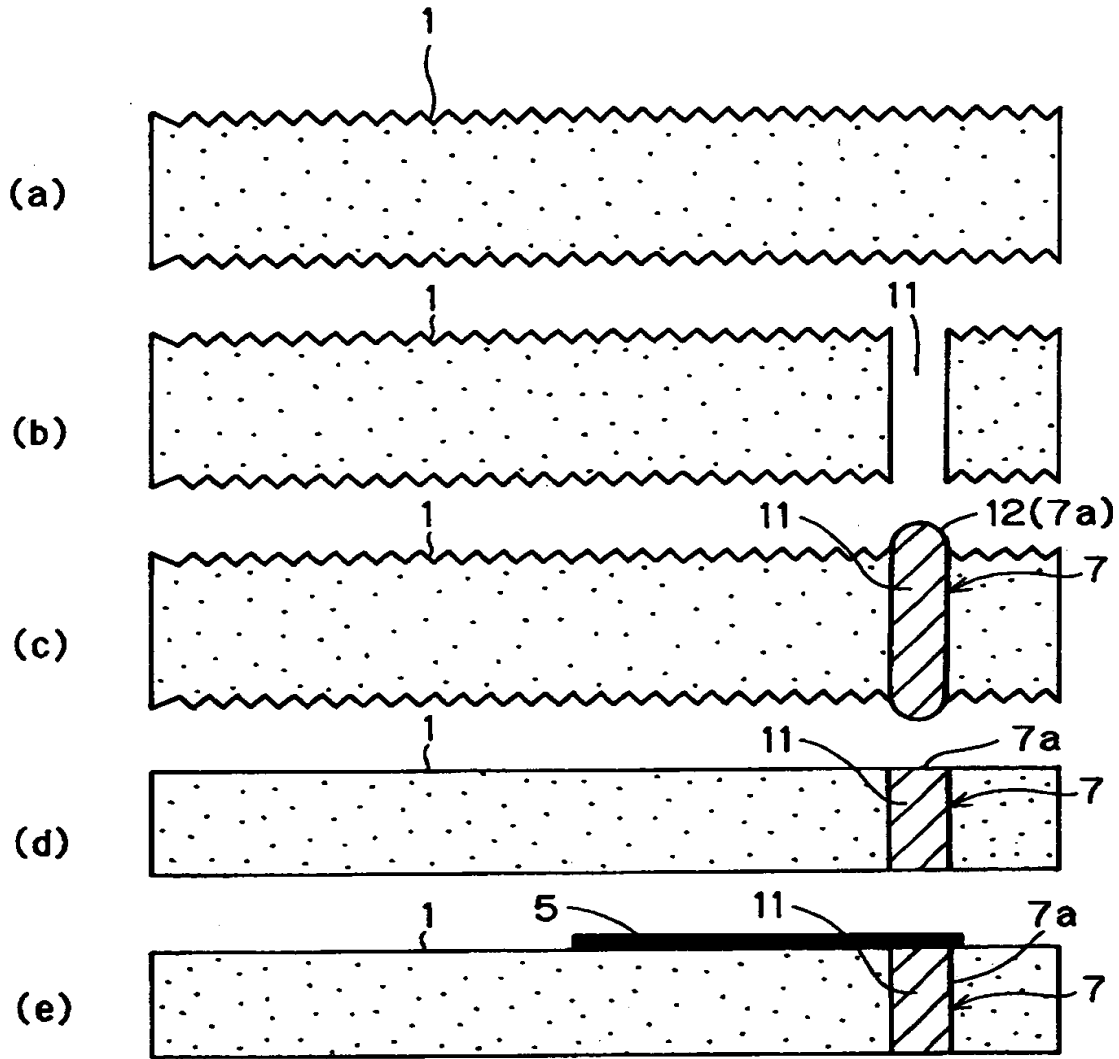
【図2】



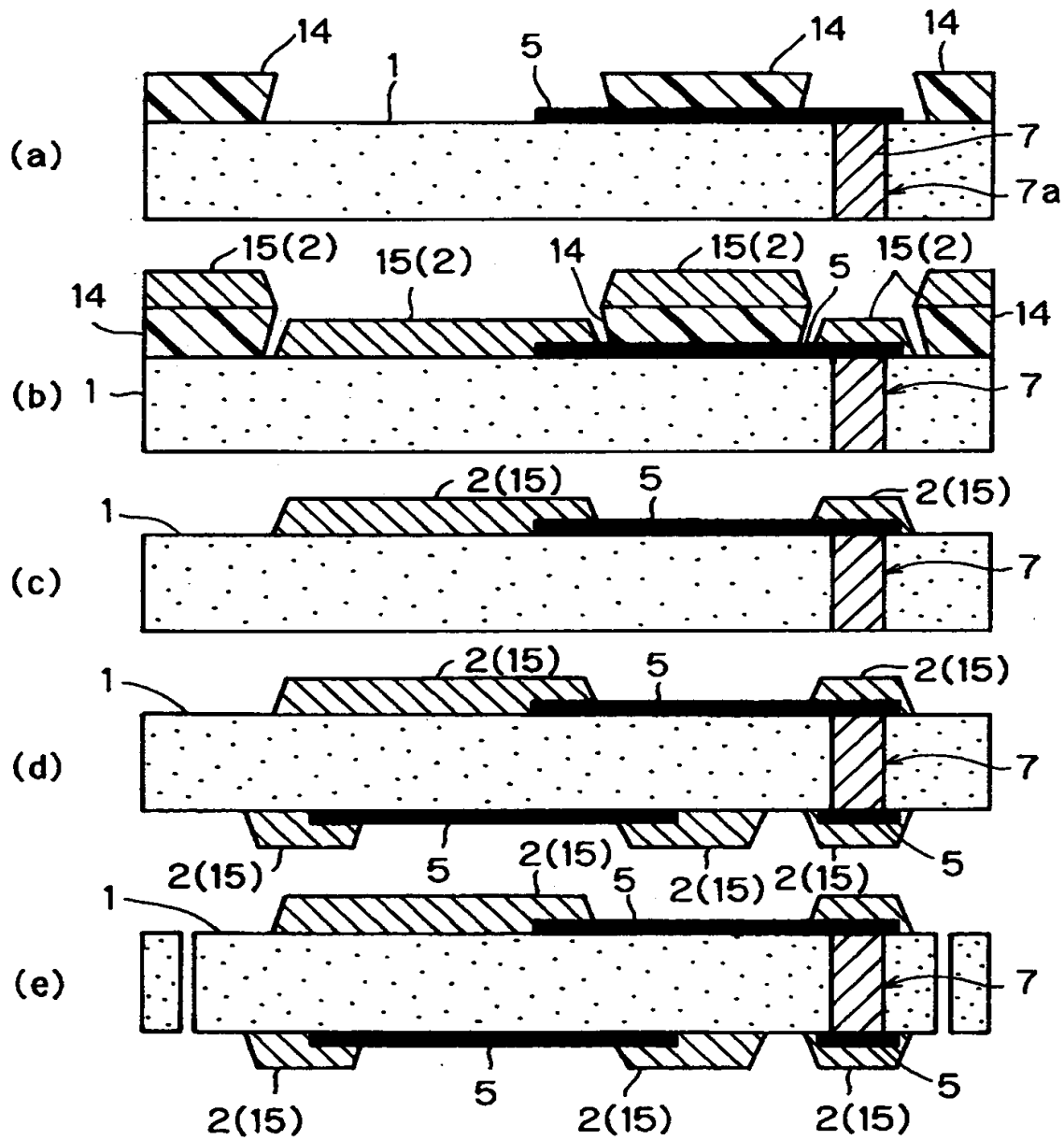
【図 3】



【図 4】

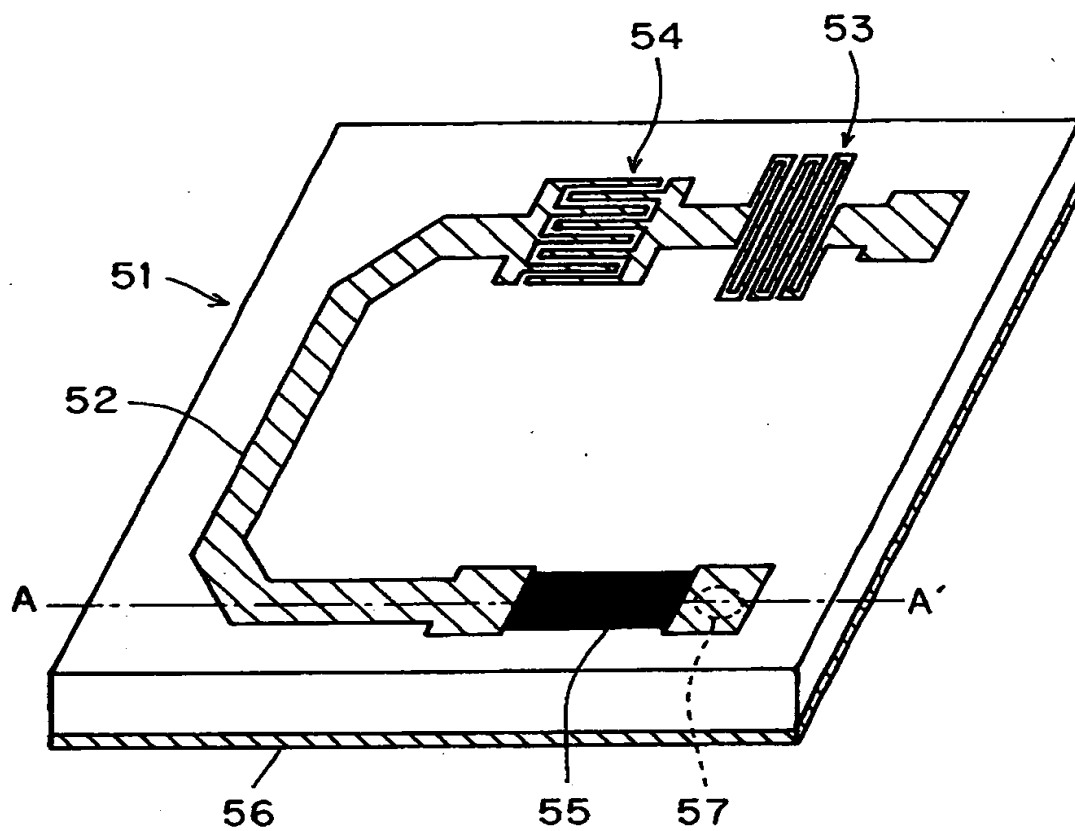


【図 5】

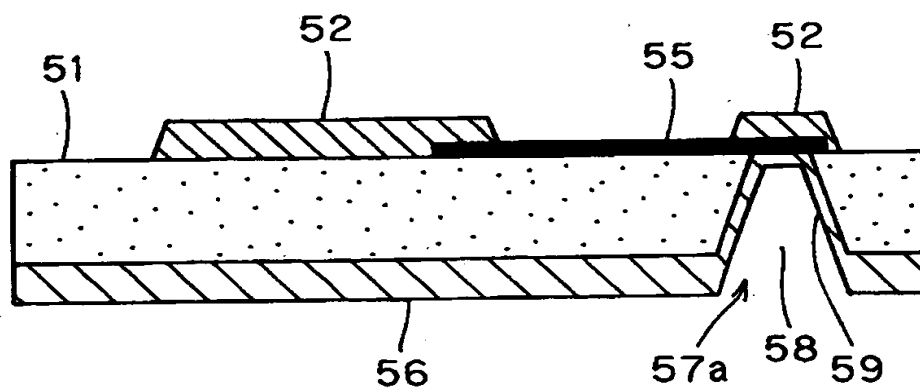




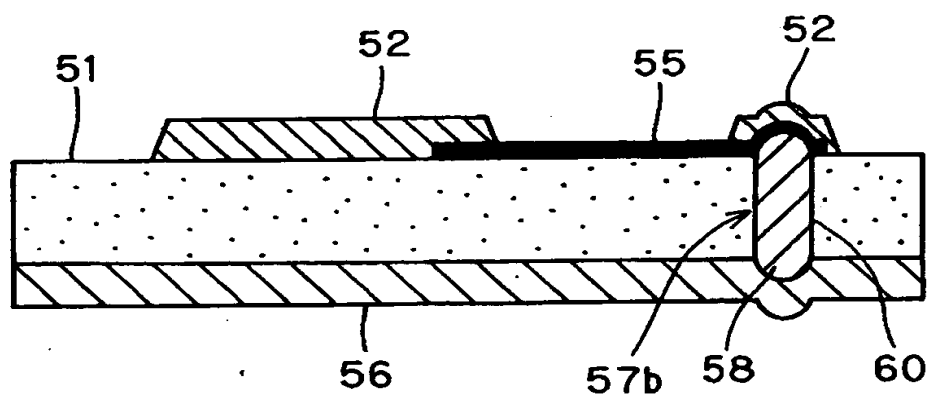
【図6】



【図 7】



【図 8】



【書類名】                      要約書

【要約】

【課題】    小型で、微細、高精度の配線パターンを備えた低コストの高周波用回路チップ及び該高周波用回路チップを効率よく製造することが可能な高周波用回路チップの製造方法を提供する。

【解決手段】    スルーホール 7 を備えた基板 1 に配線パターン 2 が配設された高周波用回路チップを製造するにあたって、(a)スルーホール 7 の導通用電極 7 a を、貫通孔 1 1 に導電性ペーストを充填、焼成することにより形成するとともに、(b)配線パターン 2 を、リフトオフ法により形成する。

また、基板 1 の、少なくとも配線パターン 2 を形成すべき面を鏡面研磨した後、該鏡面研磨を施した面に、リフトオフ法により配線パターン 2 を形成する。

【選択図】                      図 3

出 願 人 履 歴 情 報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 京都府長岡京市天神二丁目26番10号

氏 名 株式会社村田製作所